



Laboratoryjny przetwornik a/c typu „floating-point” na bazie karty DAQ

GRZEGORZ LENTKA, TOMASZ BOŃSKI

Politechnika Gdańska, Wydział Elektroniki Telekomunikacji i Informatyki,
Katedra Optoelektroniki i Systemów Elektronicznych,
80-952 Gdańsk, ul. Narutowicza 11/12

Streszczenie. W artykule przedstawiono zrealizowany przetwornik a/c typu „floating-point” na bazie karty akwizycji danych typu PCI-6221 uzupełnionej o wzmacniacz wejściowy o programowalnym wzmocnieniu. Opisywany przetwornik jest podstawą ćwiczenia w laboratorium studenckim. W skład ćwiczenia wchodzi dodatkowo program symulacyjny pozwalający zapoznać się z ideą pracy przetworników typu „floating-point”, a następnie przejść do realizacji przetwornika w systemie na bazie karty akwizycji danych.

Słowa kluczowe: przetworniki a/c, przetworniki floating-point, kwantowanie nierównomierne, karty akwizycji danych.

Symbol UKD: 621.382

Wstęp

Przetworniki analogowo-cyfrowe znane są i stosowane w elektronice od kilkadziesiąt lat. Po raz pierwszy pojawiły się one w cyfrowych przyrządach pomiarowych i na początku nie były wyodrębnione z całości przyrządu. Dopiero w miarę rozwoju zastosowań woltomierzy cyfrowych zaczęto traktować ich najistotniejszą część, czyli przetwornik analogowo-cyfrowy, jako odrębne, a później samodzielne urządzenie, które stanowi ogniwo sprzęgające analogową część systemu z częścią cyfrową. Ciągły rozwój techniki powoduje, że dziś przetworniki znajdują zastosowanie nie tylko w profesjonalnym sprzęcie laboratoryjnym, ale również w takich dziedzinach, jak automatyka przemysłowa, czy telekomunikacja kodowa, a także coraz częściej w urządzeniach powszechnego użytku.

W związku z postępowaniem i mnogością zastosowań przetworników, rośnie także ich różnorodność [1-3]. Związane jest to z tym, że w zależności od zadania stawianego przetwornikowi, różne są oczekiwania i wymagania, które powinien on spełniać. Jednym ze szczególnych rodzajów przetworników analogowo-cyfrowych jest przetwornik floating-point [4-9].

Przetwornik a/c typu floating-point (z angielskiego w skrócie nazywany FP-ADC) konwertuje wejściową wartość analogową na postać cyfrową zapisaną w formacie floating-point. Przetwarzanie tego typu opiera się na kwantyzacji nierównomiernej, dla której zagęszczenie przedziałów kwantyzacji maleje wraz ze wzrostem amplitudy przetwarzanego sygnału. Przetworniki FP-ADC są szczególnie interesujące, gdy próbkowany przebieg charakteryzuje się dużą dynamiką, tj. zakres zmian sygnału obejmuje kilka dekad, np. zmiany prądu przy pomiarze impedancji w szerokim zakresie.

Z wyżej przedstawionych powodów, postanowiono zrealizować ćwiczenie laboratoryjne zapoznające studentów z tym mało znanym, a obiecującym rodzajem przetworników a/c.

Format zapisu

Sposobów zapisu liczb w technice cyfrowej jest wiele, jednym z nich jest format floating-point, zwany zmiennoprzecinkowym. Aby ujednoczyć wyniki obliczeń numerycznych wykonywanych na różnych platformach sprzętowych, wprowadzono ściśle określony standard zapisu zmiennoprzecinkowego IEEE 754. Standard ten definiuje dwa rodzaje liczb zmiennoprzecinkowych: 32-bitowe (pojedynczej precyzji) oraz 64-bitowe (podwójnej precyzji). Kod binarny liczby zmiennoprzecinkowej podzielony jest na trzy pola zawierające komponenty zapisu zmiennoprzecinkowego: 1) bit znaku, 2) bity kodu cechy i 3) bity ułamkowe mantysy. W przypadku przetworników analogowo-cyfrowych standard ten nie znajduje zastosowania z uwagi na zbyt dużą liczbę bitów w słowie, która jest kilkukrotnie większa od liczby bitów wyjściowego słowa przetwornika. Przetwarzanie analogowo-cyfrowe opiera się jednak na tych samych ogólnych zasadach zapisu reprezentacji liczb w systemie floating-point, a liczby w tym zapisie przedstawiane są w formie:

$$L = m \cdot p^c, \quad (1)$$

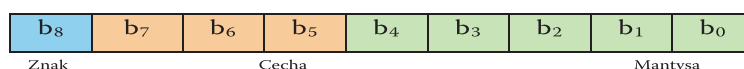
gdzie: L — liczba, m — mantysa, p — podstawa, c — cecha.

W systemie binarnym, który jest stosowany w technice cyfrowej, wszystkie trzy elementy m , p i c będą zapisane dwójkowo za pomocą odpowiednio dobranego systemu kodowania liczb. Podstawa p zawsze będzie równa 2, zatem wzór przyjmie postać:

$$L = m \cdot 2^c. \quad (2)$$



Jak widać, dla określenia wartości liczby wystarczy podać mantysę i cechę. Obie te wartości są zapisywane w jednym słowie binarnym, w którym bity na pewnych, ściśle określonych pozycjach, reprezentują mantysę, a bity na innych, także ściśle określonych pozycjach cechę. Jeśli chcielibyśmy zapisać liczbę ze znakiem, to należałoby dodać jeszcze jeden bit kodujący znak. Wówczas słowo kodowe może wyglądać tak jak na rysunku 1.



Rys. 1. Przykład słowa kodowego w zapisie „floating-point”

Liczba bitów słowa kodowego zależy od konkretnego rozwiązania, gdyż w tym przypadku nie obowiązują standardy.

W przypadku zastosowania naturalnego kodu dwójkowego i 8-bitowego słowa jesteśmy w stanie przedstawić wartości liczbowe od 0 do 255, zmieniające się ze stałym krokiem równym 1. W przypadku takiej samej długości słowa, ale podzielonego na 5-bitową mantysę i 3-bitową cechę możemy przedstawić liczby z zakresu 0 do 3968 (reprezentowane przez $11111 \cdot 2^{11}$), ale ze zmiennym krokiem inkrementacji, który rośnie wraz ze zbliżaniem się do wartości maksymalnej. W przypadku przetworników analogowo-cyfrowych pozwala to na wzrost dokładności przetwarzania bardzo małych wartości przy zachowaniu tego samego zakresu przetwarzania, albo zwiększenie zakresu przetwarzania przy zachowaniu tej samej dokładności przetwarzania małych wartości.

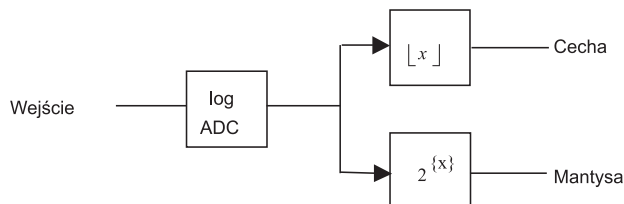
Kwantyzacja „floating-point”

W przypadku kwantyzacji równomiernej [10] przedziały kwantyzacji są takie same, to znaczy mają ten sam rozmiar q i częstość występowania w całym zakresie przetwarzanych wartości. Błąd kwantyzacji w tym przypadku wynosi $\pm q/2$ i jest niezależny od przetwarzanej wartości. Oznacza to, że dla małych amplitud przetwarzanego sygnału błąd stanowi znaczną część wyniku przetwarzania. Kwantyzacja floating-point jest kwantyzacją nierównomierną, w której przedziały mają różne rozmiary i częstość występowania. Wraz ze wzrostem amplitudy przetwarzanego sygnału maleje zagęszczenie przedziałów kwantyzacji i rośnie ich rozmiar. Oznacza to, że błąd kwantyzacji jest proporcjonalny do przetwarzanej wartości, dzięki czemu jego procentowa wartość w całym zakresie przetwarzania nie zmienia się tak bardzo jak w przypadku kwantyzacji równomiernej.

Architektury przetworników „floating-point”

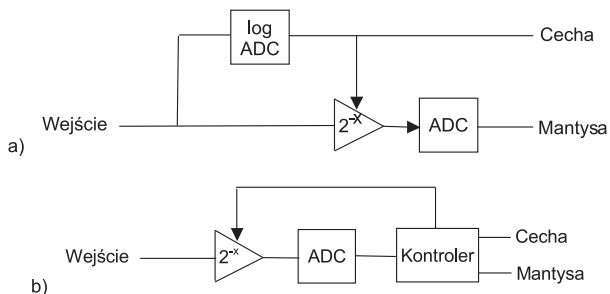
Rozwiązania przetworników FP-ADC spotkane w literaturze [4-9] można podzielić na cztery kategorie: logarytmiczne FP-ADC, dwukrokowe FP-ADC, rozproszone FP-ADC, potokowe FP-ADC.

Na rysunku 2 przedstawiono ideę działania przetwornika logarytmicznego FP-ADC, który opiera się na wykorzystaniu przetwornika logarytmicznego i przekonwertowaniu wyniku przetwarzania na format floating-point. Aby osiągnąć ten cel, należy przekonwertować wartość wyjściową z przetwornika logarytmicznego, bazując na tym, że cecha jest równa wartości całkowitej z wyniku logarytmowania, a mantysa — liczbie dwa podniesionej do potęgi części ułamkowej z wyniku, przy czym cecha jest liczbą naturalną, a mantysa zawiera się w przedziale $1 \leq m < 2$.



Rys. 2. Logarytmiczny przetwornik FP-ADC

Jeden z wariantów dwukrokowej metody przetwarzania został przedstawiony na rysunku 3a. W pierwszym kroku, przy użyciu przetwornika logarytmicznego, wyznaczana jest cecha c . Jednocześnie określane jest wzmocnienie wzmacniacza, które wynosi 2^{-c} . W drugim kroku wzmocniony przez wzmacniacz sygnał jest przetwarzany przez liniowy przetwornik analogowo-cyfrowy, dając mantysę. Inny wariant tej metody, opierający się na wykorzystaniu jednego przetwornika do wyznaczenia wartości mantysy i cechy, został przedstawiony na rysunku 3b. W tym przypadku cecha i mantysa są wyznaczone przez ten sam liniowy przetwornik.

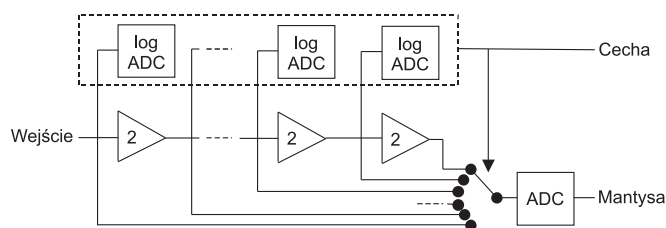


Rys. 3. Dwukrokowy przetwornik FP-ADC z przetwornikiem logarytmicznym (a) i liniowym (b)



W pierwszym kroku, kiedy wzmacnienie ma wartość minimalną, sygnał wejściowy jest konwertowany przez przetwornik. Na podstawie wyniku przetwarzania kontroler ustala wartość wzmacnienia, którą przekazuje do wzmacniacza i podaje na wyjście wartość cechy. W drugim kroku, kiedy wzmacnienie jest zadane przez kontroler, przetwornik przetwarza wzmacniony sygnał i na wyjściu pojawia się mantysa. W związku z tym, że w obu krokach używany jest ten sam przetwornik, całkowity czas przetwarzania wydłuża się dwukrotnie. Dwukrokowa metoda może być zmodyfikowana poprzez wykorzystanie metod predykcji wartości cechy, co przyspiesza proces przetwarzania, ale pociąga za sobą rozbudowę układu.

W przetwornikach typu rozproszonego (rys. 4) wzmacnienie mantysy jest uzyskiwane przez zastosowanie wzmacniacza rozproszonego, w skład którego wchodzi kaskadowo połączonych kolejnych stopni. Wszystkie stopnie mają wzmacnienie równe 2, co oznacza, że po k -tym stopniu wzmacnienie sygnału wejściowego wyniesie 2^k , przy czym $k = 0, 1, \dots, 2^n$, gdzie n_c jest ilością bitów cechy. Napięcie wyjściowe każdego stopnia wzmacniacza jest mierzone przez logarytmiczny przetwornik przypisany do danego stopnia. Rozproszony przetwornik logarytmiczny steruje przełącznikiem, który ustala właściwe wzmacnienie mantysy. Przetwornik liniowy przetwarza wzmacniony sygnał wejściowy i w ten sposób otrzymuje się wartość mantysy. Rozproszony przetwornik logarytmiczny składa się, podobnie jak wzmacniacz, z identycznych segmentów, ale nie są one ze sobą połączone. Cykl wyznaczania cechy, a tym samym wzmacnienia dla mantysy, kończy się na segmentie wzmacniacza, dla wyjścia którego wartość sygnału jest większa od połowy zakresu przetwarzania. Wówczas jest wyznaczana końcowa wartość cechy, ustawiane jest wzmacnienie i wyznaczana wartość mantysy.

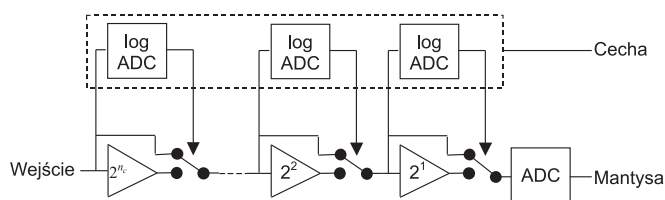


Rys. 4. Rozproszony przetwornik FP-ADC

W przetwornikach potokowych, mantysa i cecha są wyznaczone sukcesywnie w kaskadowo połączonych ze sobą segmentach (rys. 5). W pierwszym segmencie wyznaczany jest, przez przetwornik logarytmiczny, najbardziej znaczący (MSB) bit cechy. Bit ten steruje kluczem na wyjściu segmentu. Jeśli bit ma wartość 1, to na wyjście jest podawany niewzmocniony sygnał wejściowy, w przeciwnym przypadku na wyjście segmentu podawany jest wzmacniony sygnał wejściowy. Wzmocnienie



wynosi 2^n , gdzie n_c to ilość bitów słowa cechy. W drugim segmencie wyznaczany jest drugi, w kolejności najbardziej znaczących, bit cechy. Jeśli ma on wartość 1, to wzmacnienie sygnału wynosi 1, w przeciwnym przypadku 2^{n-1} . W kolejnych segmentach sytuacja wygląda podobnie. Sygnał trafiający na wejście segmentu jest wzmacniany przez wzmacniacz o odpowiednim wzmacnieniu tylko wtedy, kiedy wyznaczany bit cechy ma wartość 0. Po zakończeniu wyznaczania cechy, odpowiednio wzmacniony (lub nie), przez kolejne stopnie, sygnał wejściowy trafia do przetwornika liniowego, który wyznacza mantysę.

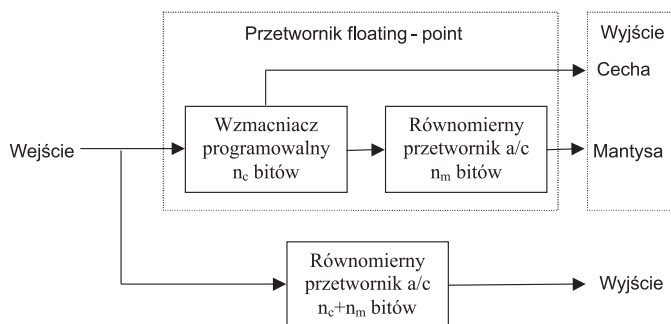


Rys. 5. Potokowy przetwornik FP-ADC

Symulacja przetwornika „floating-point”

Jednym z elementów ćwiczenia laboratoryjnego jest symulacja przetwornika floating-point, która umożliwi poznanie jego właściwości i porównanie go z klasycznym przetwornikiem o kwantowaniu równomiernym. Symulacja jest także etapem przygotowującym do pracy z przetwornikiem FP działającym w oparciu o kartę akwizycji danych w komputerze PC.

Aplikacja symuluje działanie dwukrokowego przetwornika „floating-point”, a także przetwornika z kwantowaniem równomiernym o liczbie bitów słowa wyjściowego równej sumie liczby bitów cechy i mantysy w przetworniku FP. Schemat blokowy aplikacji przedstawiono na rysunku 6.

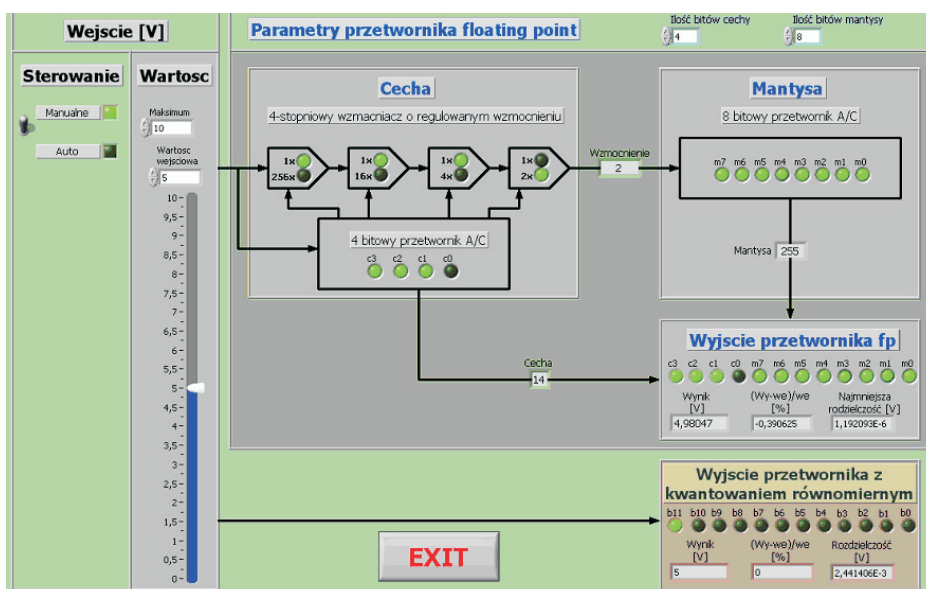


Rys. 6. Schemat blokowy symulatora przetwornika FP-ADC



Aplikacja symulatora (rys. 7) umożliwia zadanie dwóch parametrów przetwornika floating-point: liczby bitów cechy (od 2 do 4) i liczby bitów mantysy (od 2 do 8). Dzięki temu otrzymujemy 21 możliwych kombinacji przetwornika FP, które można symulować przy pomocy programu.

Panel sterujący został tak opracowany, by pokazać drogę przepływu sygnału od wejścia do wyjścia przetwornika. Pierwszym etapem jest ustalenie wartości cechy, a tym samym wzmocnienia dla sygnału wejściowego. Następnie odpowiednio wzmocniony sygnał jest przetwarzany przez przetwornik równomierny i w ten sposób otrzymujemy mantysę. Równoległe i niezależnie od przetwornika FP działa klasyczny przetwornik z kwantyzacją równomierną, który został pokazany w dolnej części panelu.

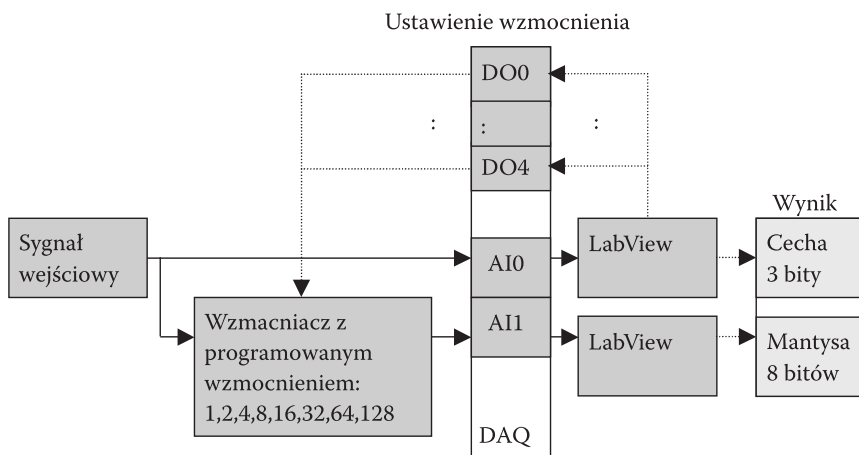


Rys. 7. Panel sterujący aplikacji symulatora przetwornik FP-ADC

Bieżąca wartość wzmocnienia, cechy i mantysy jest pokazana w odpowiednich polach w dwóch postaciach: bitowej i dziesiętnej. Podobnie jest z wynikiem przetwarzania, który wyświetlany jest w postaci binarnej i dziesiętnej. Poza tym wyświetlana jest informacja o rozdzielczości danej konfiguracji i błąd przetwarzania związany z kwantyzacją. Dla przetwornika z kwantyzacją równomierną, o liczbie bitów równej sumie liczby bitów cechy i mantysy, wyświetlane są te same parametry, co umożliwia szybkie porównanie obu przetworników.

Realizacja przetwornika „floating-point” na karcie DAQ

Po wykonaniu aplikacji symulatora i przeprowadzeniu doświadczeń do realizacji wytypowany został przetwornik dwukrokowy z 3-bitową cechą i 8-bitową mantysą. Założony zakres przetwarzanych napięć: -10 V do $+10\text{ V}$. Ogólną ideę zrealizowanego przetwornika przedstawiono na rysunku 8.



Rys. 8. Idea realizacji przetwornika FP-ADC

Przetwarzanie realizuje aplikacja LabView z panelem sterującym zbliżonym do wyglądu symulatora (rys. 7) i odbywa się ono w następujących etapach:

- 1) Sygnał wejściowy jest jednocześnie podawany na wejście AI0 (wejściowy kanał analogowy 0) karty pomiarowej i wejście wzmacniacza o programowanym wzmocnieniu.
- 2) LabView na podstawie odczytu wartości z wejścia AI0 określa wzmocnienie i podaje jego wartość do wzmacniacza, odpowiednio kodując ją na wyjściach cyfrowych karty pomiarowej (jednocześnie jest wyznaczana wartość cechy dla wyniku przetwarzania).
- 3) Wyznaczona przez LabView wartość wzmocnienia zostaje ustawiona we wzmacniaczu.
- 4) Sygnał wejściowy podany na wejście wzmacniacza zostaje wzmocniony i następnie podany na wejście AI1 (wejściowy kanał analogowy 1) karty pomiarowej.
- 5) LabView określa wartość mantysy dla wyniku przetwarzania.
- 6) Po złożeniu cechy i mantysy wynik przetwarzania zostaje podany w LabView.

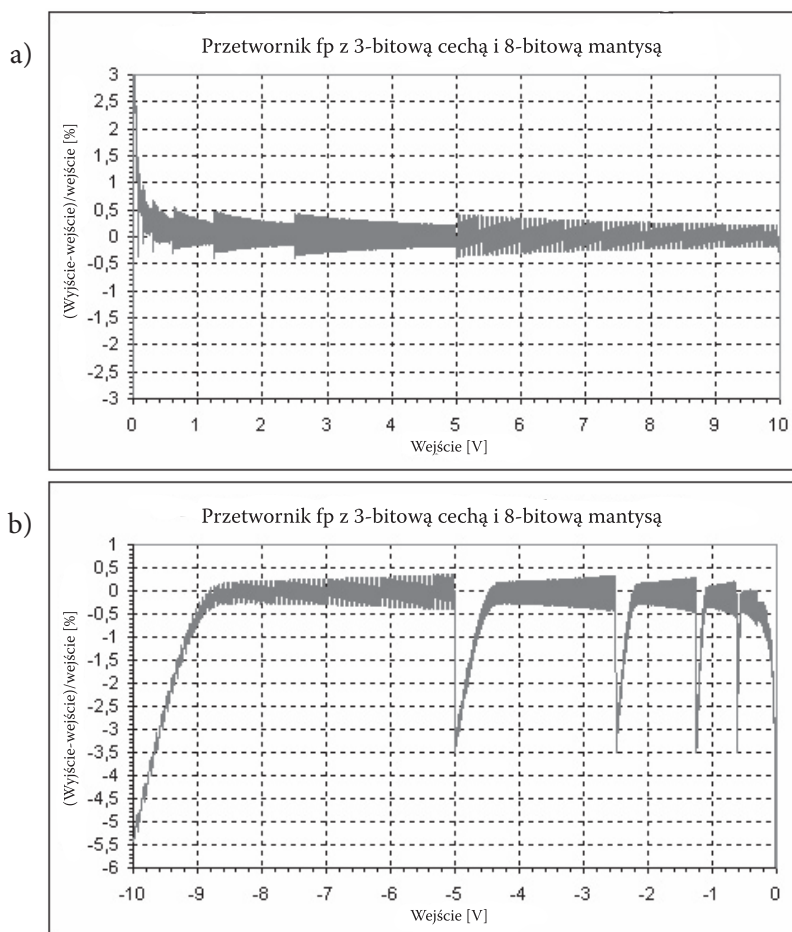
Układ wzmacniacza programowalnego został wykonany na pojedynczej płycie drukowanej. Dzięki kaskadowemu połączeniu wzmacniaczy AD526 uzyskano ste-



rowane cyfrowo wzmocnienia: 1, 2, 4, 8, 16, 32, 64 i 128, czyli takie jak wymagane do realizacji przetwornika z 3-bitową cechą.

Do realizacji zastosowana została karta akwizycji danych PCI-6221 firmy National Instruments, która posiada szesnaście 16-bitowych wejść analogowych 250 kS/s, dwa 16-bitowe wyjścia analogowe, 24-cyfrowe linie I/O. Ponieważ karta posiada wyjście +5 V o wydajności 1A, została wykorzystana także do zasilania układu. W tym celu zastosowano dwie przetwornice DC/DC DCP010515BP Burr-Brown do wytworzenia napięć +15 V i -15 V.

Aby umożliwić zerowanie układu wzmacniającego, użyto sterowanego z karty DAQ linią cyfrową DO4 przekaźnika, który może łączyć wejście wzmacniacza do masy (możliwe jest wyznaczenie współczynników korygujących dla poszczególnych



Rys. 9. Błąd przetwarzania przetwornika FP-ADC dla napięć dodatnich (a) i ujemnych (b)

wartości wzmacnień) albo do wejścia przetwornika (można przetwarzać napięcie wejściowe).

Zrealizowany przetwornik FP-ADC na bazie karty DAQ został przebadany poprzez podanie napięcia wejściowego o wzorcowych wartościach i wyznaczenie błędów przetwarzania. Przebieg błędu dla napięć dodatnich i ujemnych pokazano odpowiednio na rysunkach 9a i 9b. Okazało się, że charakterystyczne „piki” wzrostu błędu dla napięć ujemnych były spowodowane przez zbyt niskie ujemne napięcie zasilające wzmacniacze programowalne ze względu na małą wydajność przetwornicy zasilającej.

Podsumowanie

Opracowana aplikacja symulatora pozwala na poznanie i zrozumienie zasady działania przetworników floating-point, a także na przeprowadzenie porównań z przetwornikami o kwantyzacji równomiernej.

Na podstawie przeprowadzonych symulacji i pomiarów można stwierdzić, że dla małych sygnałów przetwornik floating-point wykazuje zdecydowanie lepsze właściwości, niż przetwornik równomierny o liczbie bitów będącej sumą liczby bitów cechy i mantysy w przetworniku FP. Dla małych wartości napięcia wejściowego stosunek sygnału do szumu w przypadku przetwornika FP jest znacznie większy niż w przypadku przetwornika równomiernego, co oznacza, że są one przetwarzane dokładniej. Przetwornik równomierny wykazuje swą wyższość nad przetwornikiem FP w przypadku przetwarzania wartości bliskich zakresowi. W przypadku przetwornika floating-point błąd kwantyzacji jest proporcjonalny do przetwarzanej wartości, co oznacza, że jego wartość procentowa jest w przybliżeniu stała dla znacznej części zakresu przetwarzania. Dzięki temu znajduje on zastosowanie tam, gdzie istnieje potrzeba przetwarzania szerokiego zakresu wartości, przy czym prawdopodobieństwo wystąpienia sygnału o dużej amplitudzie jest mniejsze niż sygnału o małej amplitudzie (przykładami są sygnał mowy albo wstrząsy sejsmiczne).

Zrealizowany z wykorzystaniem karty DAQ PCI6221 danych przetwornik pracuje poprawnie dla napięć dodatnich, charakteryzuje się dobrą dokładnością i potwierdza wyniki symulacji.

Artykuł wpłynął do redakcji 14.04.2008 r. Zweryfikowaną wersję po recenzji otrzymano w kwietniu 2008 r.

LITERATURA

- [1] Z. KULKA, A. LIBURA, M. NADACHOWSKI, *Przetworniki analogowo-cyfrowe i cyfrowo-analogowe*, WKiŁ, Warszawa, 1987.
- [2] R. PLASSCHE, *Scalone przetworniki analogowo-cyfrowe i cyfrowo-analogowe*, WKiŁ, Warszawa, 2001.



- [3] W. KESTER, *Analog-Digital Conversion*, Analog Devices, 2005.
- [4] J. PIPER, *Floating-Point Analog to Digital Converter*, Lund Univ., 2004.
- [5] V. GROZA, *High Resolution Floating-Point Analog-to-Digital Converter*, Proc. of IEEE IMTC, 1999, 1663-1666.
- [6] V. GROZA, *Floating-Point Analog-to-Digital Converters with Predictive Auto-ranging*, Proc. of IEEE IMTC, 2000, 759-762.
- [7] D. U. THOMPSON, B. A. WOOLEY, *A 15-bit pipelined floating-point A/D converter*, Solid-State Circuits Conference, 1999, 170-173.
- [8] M. SADAGHDAR, K. INIEWSKI, M. SYRZYCKI, *11-bit Floating-Point Pipelined Analog to Digital Converter in CMOS 0,18 μm Technology*, Canadian Conference on Electrical and Computer Engineering, 2004, vol. 3, 2-5 May 2004, 1503-1506.
- [9] J. PIPER, J. YUAN, *Realization of a Floating-Point A/D Converter*, IEEE International Symposium on Circuit and Systems, vol. 1, 2001, 404-407.
- [10] B. WIDROW, I. KOLLAR, M. CH. LIU, *Statistical Theory of Quantization*, IEEE Trans. on Instrumentation and Measurement, vol. 45, no. 2, 1996, 353-361.

G. LENTKA, T. BOŃSKI

Floating-point laboratory A/D converter based on DAQ card

Abstract. The paper presents the performed floating-point A/D converter based on PCI-6221 DAQ card with the added input programmable gain amplifier. The converter is a main object in a student lab. The laboratory exercise additionally contains a simulation program, which allows us to familiarize with an idea of floating-point converters and then follow up with the converter based on DAQ card.

Keywords: A/D converters, floating-point converters, non-equal quantization, data acquisition cards

Universal Decimal Classification: 621.382



